Domande di Reti Logiche – compito del 08/09/2026

C'è **una sola risposta** corretta per ogni domanda
Usare lo spazio bianco sul retro del foglio per appunti, se serve

$$z = (\overline{x_3} \cdot x_0) + (x_3 \cdot \overline{x_1} \cdot x_0) + (\overline{x_3} \cdot x_2 \cdot \overline{x_1}) + (x_3 \cdot \overline{x_2} \cdot x_1)$$

1) Assumendo che la tabella di verità di z non contenga non-specificati, la sintesi sopra indicata:
- a) È di costo minimo, e costa 11 a diodi
- b) È di costo minimo, e costa 15 a diodi
- **c) Non è di costo minimo**
- d) Nessuna delle precedenti

2) Considerando le rappresentazioni degli interi in base β in i) traslazione, e ii) complemento alla radice, si può dire che
- a) Esistono numeri interi rappresentati dallo stesso naturale in entrambe
- b) Per uno stesso intervallo di numeri interi, il codominio delle due leggi è diverso
- **c) Se un intero è rappresentabile su n cifre in una, è rappresentabile su n cifre nell'altra**
- d) Nessuna delle precedenti

3) Per invertire il bit 5 del registro %AL, si può scrivere
- a) AND $0x40, %AL
- b) OR $0x40, %AL
- c) NOT $5, %AL
- **d) Nessuna delle precedenti**

4) Dati 2 moduli di RAM $2^n \times M$, è necessaria logica aggiuntiva per ottenere:
- **a) Un blocco di RAM $2^{n+1} \times M$**
- b) Un blocco di RAM $2^n \times 2M$
- c) Un blocco di RAM $2^{n-1} \times 2M$
- d) Nessuna delle precedenti

5) In una data RSS il percorso critico è da registro a registro. Si hanno:

$T'_{prop} = 2$ ns, $T_{reg_to_reg} = 7$ ns, $T_{setup} = 1$ ns,

Si consideri nullo lo sfasamento del clock. Il limite superiore della frequenza di clock ammissibile per questa rete è:
- a) 80 MHz
- b) 125 MHz
- c) 200 MHz
- **d) Nessuna delle precedenti**

6) Nel processore visto a lezione, quanti *trasferimenti di un byte* tra memoria e processore sono complessivamente richiesti dall'istruzione `CALL indirizzo`?
- a) 4
- b) 6
- **c) 7**
- d) Nessuna delle precedenti

```
reg [3:0] A, B, C;
...
S0: begin A<=3; B<=5; C<=0; STAR<=S1; end
S1: begin A<=B; B<=A+1; C<=A+B; STAR<=S2;
end
S2: begin ... end
```

7) Dato il frammento di descrizione Verilog scritto sopra, in S2 i registri contengono:
- **a) A=5, B=4, C=8**
- b) A=5, B=6, C=11
- c) A=3, B=4, C=8
- d) Nessuna delle precedenti

8) Siano $x, y \in \mathbb{Z}$, con $| x |_6 = 3$, $| y |_{12} = 9$.
Allora $| 2x - y |_{12}$ vale:
- a) 1
- b) 3
- **c) 9**
- d) Nessuna delle precedenti

```
MOV $0x80, %AL
SUB $0x01, %AL
```

9) Si esegue il codice scritto sopra. Al termine:
- **a) AL=0x7F, CF=0, OF=1, SF=0, ZF=0**
- b) AL=0x7F, CF=0, OF=0, SF=1, ZF=0
- c) AL=0x7F, CF=1, OF=1, SF=0, ZF=0
- d) Nessuna delle precedenti

10) In una RSS lo stato interno e l'uscita al clock i-simo sono generati come

$$S[i+1] = A(X[i], S[i]), \qquad Z[i+1] = B(X[i], S[i]),$$

Se ne deduce che tale rete è di:
- a) Moore
- b) Mealy
- **c) Mealy Ritardato**
- d) Nessuna delle precedenti

♥

Domande di Reti Logiche – compito del 08/09/2026

Cognome e nome: _____

Matricola: _____

Link al form Google per le risposte:

https://forms.gle/JHetTxYtAdcDWEd16
https://tinyurl.com/ytn6u3sy

♥